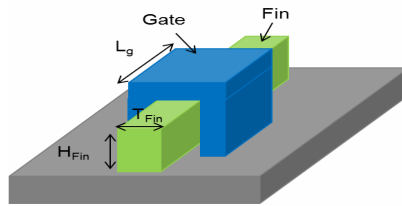


րից անցում է կատարվել դեպի եռաչափ ինտեգրալ սխեմաներ [3], որտեղ սխեման իրականացնող շերտերը դրվում են իրար վրա՝ միմյանց կապելով ուղղահայաց կապերով, որոնք թույլ են տալիս ստանալ ավելի կարճ միացումներ, քան հորիզոնական կապերը:

2. Եռաչափ տրանզիստորներ և դրանցում հանդիպող անսարքությունները: Արդի նանոչափական հիշող սարքերում լայնորեն օգտագործվող եռաչափ տրանզիստորներից առավել մեծ տարածում ունեն



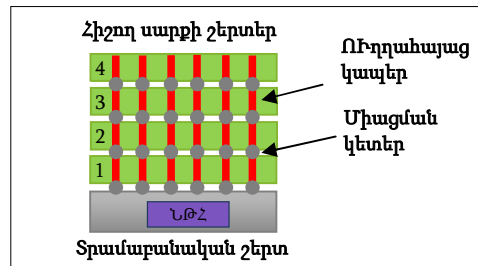
Նկար 1. ՖինՖԵՏ տրանզիստորի կառուցվածքը

ՖինՖԵՏ տրանզիստորները [4], որում մասնակցում են մեկ ֆին (անգլերեն՝ fin) և երեք դարպասներ, որոնք երեք կողմից պատում են ֆինին՝ դրանով իսկ մեծացնելով տրանզիստորի աշխատանքի արդյունավետությունը (տե՛ս նկար 1):

Քանի որ եռաչափ տրանզիստորներն ունեն յուրահատուկ կառուցվածք, հետևաբար, այնտեղ կարող են ի հայտ գալ այդ տեխնոլոգիային հատուկ ֆիզիկական այնպիսի թերություններ, որոնք բացակայում են դրան նախորդող տեխնոլոգիաներում: Եռաչափ տրանզիստորների անսարքությունների մոդելավորման համար ստեղծվել է միջավայր, որի միջոցով հնարավոր է կատարել ֆիզիկական թերությունների սիմուլյացիա (կեղծում), և դրանց հիման վրա՝ անսարքությունների մոդելավորում [5]: Հետազոտությունների արդյունքում մոդելավորվել են ՖինՖԵՏ եռաչափ տրանզիստորներին հատուկ անսարքությունների տիպեր հետևյալ ֆիզիկական թերությունների հիման վրա՝ բացվածք տրանզիստորի ֆինի վրա, կարճ միացում տրանզիստորի ֆինի երկու բևեռների միջև, կարճ միացում տրանզիստորի դարպասի և ֆինի միջև:

3. Եռաչափ հիշող սարքերի անսարքությունները: Օգտագործելով ուղղահայաց կապերի տեխնոլոգիան՝ ստեղծվել են եռաչափ ինտեգրալ սխեմաները, որոնք հնարավորություն են տալիս տեխնոլոգիաների չափերի փոքրացմանը զուգընթաց ապահովելու բարձր արագագործություն: Եռաչափ ինտեգրալ սխեմաներից ամենատարածվածներից են եռաչափ հիշող սարքերը, որոնց կառուցվածքը բերված է նկար 2-ում: Եռաչափ հիշող սարքի հիմնական բաղադրիչներն են՝ ա) *հիշող*

սարքի շերտերը, որոնք միմյանց հետ միացված են *ուղղահայաց կապերով*, իսկ միացումը կատարվում է հատուկ նյութից պատրաստված *միացման կետերով*, բ) տրամաբանական շերտը, որտեղ ընդգրկված է նաև *ներկառուցված թեստավորման համակարգը (ՆԹՀ)*, որը թեստավորում է *հիշող սարքի շերտերը*:



Նկար 2. Եռաչափ հիշող սարք

Եռաչափ հիշող սարքերի անսարքությունները բաժանվել են 4 հիմնական դասերի [6].

ա) *մեկ կապի անսարքություն*, բ) *երկու կապերի անսարքություն*,
գ) *հիշող սարքի մեկ բջջանոց անսարքություն*, դ) *հիշող սարքի երկու բջջանոց անսարքություն*:

4. Անսարքությունների պարբերական աղյուսակ: [7-8] աշխատանքներում առաջարկվել է հիշող սարքերի անսարքությունների ներկայացման նոր ձև՝ անսարքությունների պարբերական աղյուսակի տեսքով (տե՛ս աղյուսակ 1): Մասնավորապես այդ աշխատանքներում առաջարկվել է.

- անսարքությունները ներկայացնել մեկ ընդհանուր աղյուսակով, որը ստացել է «անսարքությունների պարբերական աղյուսակ» անվանումը,
- թեստային ալգորիթմները կառուցել $MTT(x, S)$ «թեստային ալգորիթմների շաբլոնի» միջոցով:

«Անսարքությունների պարբերական աղյուսակում» սյուները համապատասխանում են անսարքության մեջ ընդգրկված բջիջների քանակին (C1 սյունը պարունակում է բոլոր մեկ բջջանոց անսարքությունները, C2 սյունը՝ երկու բջջանոց անսարքությունները և այլն), իսկ տողերը համապատասխանում են անսարքությունն ակտիվացնող գործողությունների քանակին (FF0 տողերը պարունակում են 0 գործողությամբ ակտիվացող, այսինքն՝ վիճակի անսարքությունները, FF1 տողերը պարունակում են 1 գործողությամբ ակտիվացող անսարքությո-

Անսարքությունների պարբերական աղյուսակ

	C1	C2	C3	...
FF0	FG ₁ (0, 0)	FG ₂ (0, 0)	FG ₃ (0, 0)	
	FG ₁ (1, 0)	FG ₂ (1, 0)	FG ₃ (1, 0)	
	FG ₁ (0, W0)	FG ₂ (0, W0)	FG ₃ (0, W0)	
	FG ₁ (1, W1)	FG ₂ (1, W1)	FG ₃ (1, W1)	
FF1	FG ₁ (0, W1)	FG ₂ (0, W1)	FG ₃ (0, W1)	
	FG ₁ (1, W0)	FG ₂ (1, W0)	FG ₃ (1, W0)	
	FG ₁ (0, R0)	FG ₂ (0, R0)	FG ₃ (0, R0)	
	FG ₁ (1, R1)	FG ₂ (1, R1)	FG ₃ (1, R1)	
FF2	FG ₁ (0, WM1)	FG ₂ (0, R0:R0)		
	FG ₁ (1, WM0)	FG ₂ (1, R1:R1)		
	FG ₁ (0, W0W0)	FG ₂ (0, W0W0)		
	FG ₁ (1, W1W1)	FG ₂ (1, W1W1)		
...	FG ₁ (0, W0W1)	FG ₂ (0, W0W1)		
	FG ₁ (1, W1W0)	FG ₂ (1, W1W0)		
	FG ₁ (0, R0R0)	FG ₂ (0, R0R0)		
	FG ₁ (1, R1R1)	FG ₂ (1, R1R1)		

<0W1; 0/1/->
 <0W1; 1/0/->
 <0; 0W1/0/->
 ><1; 0W1/0/->

յունները և այլն): Աղյուսակում մոխրագույնով նշված դատարկ վանդակները համապատասխանում են դեռևս չհետազոտված (չհայտնաբերված) անսարքություններին:

«Անսարքությունների պարբերական աղյուսակի» վանդակներում նշված են անսարքությունների խմբեր՝ $FG_i(x, S)$, որտեղ i -ն անսարքությունում մասնակցող բջիջների քանակն է, x -ը՝ բջջի արժեքը նախքան դրանում անսարքության ակտիվացումը, S -ը՝ անսարքությունն ակտիվացնող գրել/կարդալու գործողությունների հաջորդականությունը: Օրինակ՝ $FG_2(0, W1) = \{<0W1; 0/1/->, <0W1; 1/0/->, <0; 0W1/0/->, <1; 0W1/0/->\}$: Անսարքությունները նկարագրված են $<S/F/R>$ հայտնի նշանակմամբ [9], որտեղ S -ն անսարքությունն ակտիվացնող գործողությունների հաջորդականությունն է, F -ն անսարքության ակտիվացման արդյունքում հիշող սարքի բջջում առաջացած սխալ արժեքն է, իսկ R -ը կիրառելի է, երբ S հաջորդականության վերջին գործողությունը կարդալ գործողությունն է, և այն վերադարձնում է այդ կարդալ գործողության արդյունքը: Օրինակ՝ $<R1R1/0/0>$ նշանակում է հետևյալը. երկու հաջորդական $R1$ կարդալու գործողության արդյունքում հիշող սարքի բջիջն ընդունում է 0 արժեք, և 2-րդ կարդալու գործողության վերադարձրած արժեքը 0 է:

5. ՖինՖԵՏ տեխնոլոգիայի անսարքությունների թեստավորում:

Ինչպես արդեն նշվել է հոդվածի 2-րդ բաժնում, հետազոտությունները ցույց են տվել, որ կան անսարքությունների տիպեր, որոնք հաստուկ են միայն ՖինՖԵՏ տեխնոլոգիային: Աղյուսակ 2-ում բերված են [5] աշխատանքում առաջարկված մեթոդի միջոցով մոդելավորված ՖինՖԵՏ տեխնոլոգիայի անսարքությունները: Աղյուսակում անսարքությունները դասավորված են վերևից ներքև՝ ըստ անսարքությունն ակտի-

վացնող գործողությունների քանակի աճման կարգի: Հեշտ է նկատել, որ անսարքությունների միջև կան որոշակի սիմետրիկություն և պարբերականություն: Օրինակ՝ dRDF1 սիմետրիկ է dRDF0-ին, այսինքն՝ անսարքություններն ունեն նույն վարքագիծը, և միակ տարբերությունը տվյալի արժեքի մեջ է. մի դեպքում այն 0 է, մյուս դեպքում՝ 1: Իսկ dDRDF-x և dDRDF1-y անսարքությունների միջև գոյություն ունի պարբերականություն, այսինքն՝ այդ անսարքություններն իրենց կառուցվածքով նույնն են, սակայն անցում կատարելով dDRDF- x-ից dDRDF1-y-ին՝ անսարքությունն ակտիվացնող գործողությունների քանակն ավելանում է (y-x)-ով:

Փաստը, որ աղյուսակ 2-ի անսարքությունները պարբերական են,

Աղյուսակ 2

ՖինՖԵՏ տեխնոլոգիայի անսարքություններ

Անուն	Նկարագիր	Անուն	Նկարագիր	Անուն	Նկարագիր	Անուն	Նկարագիր
dRDF1	<R1R1/0/0>	dRDF0	<R0R0/1/1>	dDRDF1	<R1R1/0/1>	dDRDF0	<R0R0/1/0>
dRDF1-3	<R1 ³ /0/0>	dRDF0-3	<R0 ³ /1/1>	dDRDF1-3	<R1 ³ /0/1>	dDRDF0-3	<R0 ³ /1/0>
dRDF1-4	<R1 ⁴ /0/0>	dRDF0-4	<R0 ⁴ /1/1>	dDRDF1-4	<R1 ⁴ /0/1>	dDRDF0-4	<R0 ⁴ /1/0>
dRDF1-5	<R1 ⁵ /0/0>	dRDF0-5	<R0 ⁵ /1/1>	dDRDF1-5	<R1 ⁵ /0/1>	dDRDF0-5	<R0 ⁵ /1/0>
dRDF1-6	<R1 ⁶ /0/0>	dRDF0-6	<R0 ⁶ /1/1>	dDRDF1-6	<R1 ⁶ /0/1>	dDRDF0-6	<R0 ⁶ /1/0>
dRDF1-7	<R1 ⁷ /0/0>	dRDF0-7	<R0 ⁷ /1/1>	dDRDF1-7	<R1 ⁷ /0/1>	dDRDF0-7	<R0 ⁷ /1/0>
dRDF1-8	<R1 ⁸ /0/0>	dRDF0-8	<R0 ⁸ /1/1>	dDRDF1-8	<R1 ⁸ /0/1>	dDRDF0-8	<R0 ⁸ /1/0>

մեկ անգամ ևս հաստատեց [7]-[8]-ում սահմանված կանոնավորություն 1-ը, ըստ որի նոր տեխնոլոգիաների անսարքություններն ունեն նմանատիպ վարքագիծ, ինչ գոյություն ունեցող անսարքությունները: Աղյուսակ 2-ի անսարքությունները հնարավոր եղավ տեղավորել «անսարքությունների պարբերական աղյուսակում», ինչպես նաև հնարավոր եղավ կառուցել աղյուսակ 2-ի անսարքությունները հայտնաբերող թեստային ալգորիթմ՝ օգտագործելով «թեստային ալգորիթմների շարքը»: Կառուցված թեստային ալգորիթմը March FF-ն է, որը համարվում է ՖինՖԵՏ տեխնոլոգիային հատուկ անսարքություններ հայտնաբերող թեստային ալգորիթմ: Այն ունի 24N բարդություն, որտեղ N-ը հիշող սարքի հասցեների քանակն է: Փորձարկումների միջոցով, իսկ այնուհետև մաթեմատիկորեն հիմնավորվել է, որ March FF թեստային ալգորիթմն ունի նվազագույն բարդություն:

6. Եռաչափ հիշող սարքերի անսարքությունների թեստավորում:

Եռաչափ հիշող սարքերի անսարքությունների մեջ նույնպես նկատվել են պարբերականության և սիմետրիկության հատկություններ, և փորձ է արվել այդ անսարքությունները նույնպես տեղավորելու «անսար-

Աղյուսակ 3

Ընդլայնված անսարքությունների պարբերական աղյուսակ

	C0	C1	C2	C3	...
FF0	FG ₀ (0, 0)	FG ₁ (0, 0)	FG ₂ (0, 0)	FG ₃ (0, 0)	
	FG ₀ (1, 0)	FG ₁ (1, 0)	FG ₂ (1, 0)	FG ₃ (1, 0)	
	FG ₀ (0, W0)	FG ₁ (0, W0)	FG ₂ (0, W0)	FG ₃ (0, W0)	
	FG ₀ (1, W1)	FG ₁ (1, W1)	FG ₂ (1, W1)	FG ₃ (1, W1)	
FF1	FG ₀ (0, W1)	FG ₁ (0, W1)	FG ₂ (0, W1)	FG ₃ (0, W1)	
	FG ₀ (1, W0)	FG ₁ (1, W0)	FG ₂ (1, W0)	FG ₃ (1, W0)	
	FG ₀ (0, R0)	FG ₁ (0, R0)	FG ₂ (0, R0)	FG ₃ (0, R0)	
	FG ₀ (1, R1)	FG ₁ (1, R1)	FG ₂ (1, R1)	FG ₃ (1, R1)	
FF2	FG ₀ (0, WM1)	FG ₁ (0, WM1)	FG ₂ (0, R0:R0)		
	FG ₀ (1, WM0)	FG ₁ (1, WM0)	FG ₂ (1, R1:R1)		
	FG ₀ (0, W0W0)	FG ₁ (0, W0W0)	FG ₂ (0, W0W0)		
	FG ₀ (1, W1W1)	FG ₁ (1, W1W1)	FG ₂ (1, W1W1)		
FF3	FG ₀ (0, W0W1)	FG ₁ (0, W0W1)	FG ₂ (0, W0W1)		
	FG ₀ (1, W1W0)	FG ₁ (1, W1W0)	FG ₂ (1, W1W0)		
	FG ₀ (0, R0R0)	FG ₁ (0, R0R0)	FG ₂ (0, R0R0)		
	FG ₀ (1, R1R1)	FG ₁ (1, R1R1)	FG ₂ (1, R1R1)		
FF4	FG ₀ (0, R0 ³)	FG ₁ (0, R0 ³)	FG ₂ (0, R0 ³)		
	FG ₀ (1, R1 ³)	FG ₁ (1, R1 ³)	FG ₂ (1, R1 ³)		
FF5	FG ₀ (0, R0 ⁴)	FG ₁ (0, R0 ⁴)	FG ₂ (0, R0 ⁴)		
	FG ₀ (1, R1 ⁴)	FG ₁ (1, R1 ⁴)	FG ₂ (1, R1 ⁴)		
FF6	FG ₀ (0, R0 ⁵)	FG ₁ (0, R0 ⁵)	FG ₂ (0, R0 ⁵)		
	FG ₀ (1, R1 ⁵)	FG ₁ (1, R1 ⁵)	FG ₂ (1, R1 ⁵)		
FF7	FG ₀ (0, R0 ⁶)	FG ₁ (0, R0 ⁶)	FG ₂ (0, R0 ⁶)		
	FG ₀ (1, R1 ⁶)	FG ₁ (1, R1 ⁶)	FG ₂ (1, R1 ⁶)		
...					

քությունների պարբերական աղյուսակում»: Դիտարկումները ցույց են տվել, որ հոդվածի 3-րդ բաժնում թվարկված գ) և դ) դասերի անսարքություններն արդեն իսկ գոյություն ունեն «անսարքությունների պարբերական աղյուսակում», իսկ ա) և բ) դասերի անսարքությունները, որոնք նկարագրում են կապերի անսարքությունները, պահանջեցին պարբերական աղյուսակում ավելացնել նոր սյուն և այդ անսարքությունները տեղավորել այդ սյան մեջ: Աղյուսակ 3-ը ներկայացնում է ընդլայնված «անսարքությունների պարբերական աղյուսակը», իսկ նոր ավելացված սյունը C0-ն է (այսինքն՝ անսարքության մեջ մասնակցում է 0 քանակի բջիջ), որը նախատեսված է այնպիսի անսարքությունների համար, որոնք կապված չեն հիշող սարքի բջիջների հետ և առնչվում են հիշող սարքերի կապերին, բջիջների շուրջ գոյություն ունեցող սխեմաներին (հասցեների վերձանիչ, գրելու/կարդալու ղեկավարող բլոկ և այլն):

[7-8]-ում ապացուցվել է (տես թեորեմ 1), որ «թեստային ալգորիթմների շաբլոնով» ստացված թեստային ալգորիթմները հայտնաբերում են սկզբնական (ոչ ընդլայնված) «անսարքությունների պարբերական աղյուսակի» համապատասխան անսարքությունների խմբերը: Դիտարկումները ցույց են տվել, որ նույն պնդումը կարելի է կատարել նաև ընդլայնված «անսարքությունների պարբերական աղյուսակի»

համար, որը ներառում է եռաչափ տեխնոլոգիաների անսարքությունները:

Պնդում: $MTT(x, S)$ «թեստային ալգորիթմների շաբլոնով» ստացված թեստային ալգորիթմը հայտնաբերում է $FG(x, S)$ և $FG(\sim x, \sim S)$ խմբերի բոլոր անսարքությունները:

Ապացույց: «Թեստային ալգորիթմների շաբլոնով» ստացված թեստային ալգորիթմների բոլոր հնարավոր տարբերակները բաժանվում են 4 դեպքերի՝ կախված x -ի և S -ի արժեքներից (բաժանումը կատարվում է նույն կերպ, ինչպես արված է [7-8]-ում): Այնուհետև յուրաքանչյուր դեպքի համար ցույց է տրվում, որ ստացված թեստային ալգորիթմները հայտնաբերում են $FG(x, S)$ և $FG(\sim x, \sim S)$ խմբերի բոլոր անսարքությունները: Դա կատարվում է հետևյալ կերպ. յուրաքանչյուր անսարքության համար նշվում է, թե թեստային ալգորիթմի որ գործողությամբ է ակտիվանում և որ գործողությամբ է հայտնաբերվում տվյալ անսարքությունը:

7. Եզրակացություն: Այս աշխատանքում հետազոտվել են արդի նանոչափական հիշող սարքերում տեղի ունեցող կառուցվածքային փոփոխությունները, ինչպիսիք են եռաչափ տրանզիստորները և եռաչափ հիշող սարքերը: Մշակվել է թեստավորման արդյունավետ մեթոդ այդ փոփոխություններից բխող անսարքությունների մոդելավորման և դրանց թեստավորման համար: Մասնավորապես առաջարկվել է ընդլայնել գոյություն ունեցող անսարքությունների պարբերական աղյուսակը՝ ընդգրկելու եռաչափ տեխնոլոգիաների անսարքությունները: Ստացված անսարքությունների պարբերական աղյուսակն ունի մի շարք առավելություններ, դրանցից են.

- կանխատեսել նոր անսարքություններ՝ հիմնվելով անսարքությունների պարբերական հատկությունների վրա,
- կառուցել համապիտանի ներդրված թեստավորում իրականացնող պրոցեսոր (օրինակ՝ բարելավելով [10]-ում ներկայացված պրոցեսորը), որը կապահովի նանոչափական հիշող սարքերը թեստավորող արդյունավետ ալգորիթմների ծրագրավորելիություն:

SS կրթական և հետազոտական կենտրոն
Երևանի պետական համալսարան
e-mail: gurgen.harut@gmail.com

Գ. Է. Հարությունյան

Թեստավորման արդյունավետ մոտեցում նանոչափական հիշող սարքերի համար

Պատմականորեն մինչև վերջին ժամանակներն ինտեգրալ սխեմաների արագագործության բարելավումը հիմնականում կատարվում էր դրանց չափերի փոքրացման

հաշվին: Սակայն արդի սխեմաների չափերի փոքրացման ընթացքը դարձել է շատ դժվար՝ պայմանավորված դրանց չափերի փոքրացման ֆիզիկական սահմանափակումներով: Այդ խնդիրը լուծելու համար արդի ինտեգրալ սխեմաներում անցում են կատարում դեպի եռաչափ տեխնոլոգիաներ: Ինչպես տրանզիստորները, այնպես էլ ինքնին ինտեգրալ սխեմաները սկսել են արտադրել եռաչափ կառուցվածքով: Այս աշխատանքում հետազոտվել են նշված եռաչափ տեխնոլոգիաներից բխող հիշող սարքերի անսարքությունները, և դրանց հայտնաբերման համար առաջարկվել է թեստավորման արդյունավետ մեթոդ:

Г. Э. Арутюнян

Эффективный подход к тестированию нанометрических устройств памяти

Исторически до последнего времени улучшение производительности интегральных схем в основном осуществлялось за счет уменьшения их размеров. В то же время современные процессы, связанные с уменьшением размеров современных схем, сильно усложнились в силу различных новых физических ограничений. Для решения этой задачи в современных интегральных схемах был произведен переход к трехмерной технологии – трехмерным структурам проектирования как транзисторов, так и интегральных схем. В настоящей статье исследованы и классифицированы неисправности запоминающих устройств, вытекающие из особенностей трехмерной технологии, и предложен эффективный метод обнаружения этих неисправностей.

G. E. Harutyunyan

An Efficient Test Approach for Modern Nanoscale Memory Devices

Historically till the latest times the performance improvement of integrated circuits was mainly done based on shrinking their size. But the shrinking process of modern integrated circuits became a difficult task due to limitations on physical properties of circuits. In modern integrated circuits 3D technologies are used for solving that problem. The transistors as well as integrated circuits are being produced using 3D structures. In this paper faults caused due to 3D technologies are investigated and a new test method is proposed for their detection.

Գրականություն

1. *Ranade P., Choi Y.-K., Ha D., Takeuchi H., King T.-J.* - International AVS Conference on Microelectronics and Interfaces. 2003. P. 131-133.
2. *Cheng H.-W., Li Y.* - International Symposium on Next-Generation Electronics, 2010. P. 32-35.
3. *Deutsch S., Chakrabarty K.* - IEEE International Test Conference, 2015. P. 1-10.
4. *Jurczak M., Collaert N., Veloso A., Hoffmann T., Biesemans S.* - IEEE International SOI Conference, 2009, P. 1-4.
5. *Harutyunyan G., Tshagharyan G., Vardanian V., Zorian Y.* - IEEE VLSI Test Symposium. 2014. P. 49-54.

6. *Harutyunyan G., Zorian Y.* - IEEE International On-Line Testing Symposium, 2015, P. 168-170.
7. *Harutyunyan G., Shoukourian S., Zorian Y.*- Reports of National Academy of Sciences of Armenia. 2012. V. 112, N. 3. P. 229-238.
8. *Harutyunyan G., Shoukourian S., Vardanian V., Zorian Y.* - IEEE VLSI Test Symposium, 2013, P. 71-76.
9. *Hamdioui S., Al-Ars Z., van de Goor A. J.* - IEEE VLSI Test Symposium. 2002. P. 395-400.
10. *Hakhumyan A., Harutyunyan G.* - Computer Science and Information Technologies. 2011. P. 287-290.